



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020030002053

(43) Publication.Date. 20030108

(21) Application No.1020010038789

(22) Application Date. 20010630

(51) IPC Code:

H01L 21/8242

(71) Applicant:

HYNIX SEMICONDUCTOR INC.

(72) Inventor:

CHOI, EUN SEOK

YANG, U SEOK

(30) Priority:

(54) Title of Invention

METHOD FOR FABRICATING CAPACITOR OF FERROELECTRIC MEMORY DEVICE

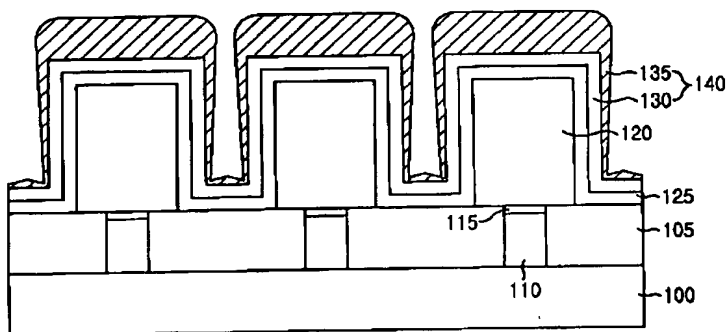
Representative drawing

(57) Abstract:

PURPOSE: A method for fabricating a capacitor of a ferroelectric memory device is provided to easily separate a capacitor of a stack structure into a capacitor unit by thinly depositing a valley portion of an upper electrode conductive layer.

CONSTITUTION: The lower electrode of a stack structure is formed on a substrate(100). A dielectric layer is formed on the lower electrode. The first upper electrode conduction layer(130) and the second upper electrode conduction layer(135) are formed on the dielectric layer. The upper electrode conduction layer composed of the first and second upper electrode conduction layer is blanket-etched back to form an upper electrode pattern.

© KIPO 2003



if display of image is failed, press (F5)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/8242

(11) 공개번호 특2003-0002053

(43) 공개일자 2003년01월08일

(21) 출원번호 10-2001-0038789

(22) 출원일자 2001년 06월 30일

(71) 출원인 주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자 최은석

경기도성남시분당구야탑동장미마을현대아파트802-603

양우석

경기도이천시증포동213-5대우1차아파트101-601

(74) 대리인 특허법인 신성

심사청구 : 있음

(54) 강유전체 메모리 소자에서의 캐패시터의 제조방법

요약

본 발명은 스택 구조의 캐패시터에서 상부전극 도전층의 끝자리 부분을 얇게 증착하여 캐패시터 단위로 분리를 용이하게 하는 강유전체 캐패시터의 제조방법으로서, 스택 구조의 깊은 끝자리를 식각하는 공정상의 어려움을 극복하는 유리한 효과가 있으며, 또한 마스크 공정을 생략하여 공정이 간편하고, 특히 강유전체 메모리가 고집적화 할 수록 유리한 효과가 있다.

다표도

53

색인어

FeRAM, 캐패시터, 스택, 블랑켓 에치법, 스퍼터링법

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 하부전극 스택과 유전체막 형성 단면도.

도 2는 본 발명에 따른 제1 상부전극 도전층 형성 단면도,

도 3은 본 발명에 따른 제2 상부전극 도전층 형성 단면도,

도 4는 본 발명에 따른 상부전극 도전층을 분리한 후의 단면도.

*도면의 주요 부분에 대한 부호의 설명

100 : 반도체 기판

130 : 제1 상부전극 도전층

135 : 제2 상부전극 도전층

140a : 상부전극 패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 FeRAM(Ferroelectric Random Access Memory)의 캐패시터 제조방법에 관한 것으로 특히 캐패시터의 상부전극의 제조방법에 관한 것이다.

FeRAM은 강유전체(Ferroelectric Material)의 분극반전과 히스테리시스(Hysteresis) 특성을 이용한 비휘발성(Nonvolatile) 기억소자의 일종으로서 전원이 끊어진 상태에서도 저장 정보를 기억하는 장점이 있을 뿐만 아니라 DRAM과 같은 고속, 대용량, 저전력을 가질 수 있는 이상적인 메모리이다. FeRAM 소자의 강유전체 유전물질로는 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (이하 SBT라 한다), $(\text{Sr}_x\text{Bi}_{2-x})(\text{Ta}_1\text{Nb}_{1-x})_2\text{O}_{9-2}$ (이하 SBTN라 한다), $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ (이하 PZT라 한다), SrTiO_3 (이하 ST라 한다), $\text{Bi}_{4-x}\text{La}_x\text{Ti}_3\text{O}_{12}$ (이하 BLT라 한다)박막이 주로 사용된다. 강유전체는 두 개의 안정한 잔류분극(remnant polarization) 상태를 갖고 있어 이를 박막화하여 비휘발성(nonvolatile) 메모리 소자로의 응용이 실현되고 있다. 강유전체 박막을 이용하는 비휘발성 메모리 소자는, 가해주는 전기장의 방향으로 분극의 방향을 조절하여 신호를 입력하고 전기장을 제거하였을 때 남아있는 잔류분극의 방향에 의해 디지털 신호 1과 0을 저장하는 원리를 이용한다.

FeRAM은 집적도가 향상될수록 잔류분극값의 향상이 요구된다. 잔류분극값의 향상에는 분극값이 높은 물질을 사용하는 방법과 캐패시터의 구조를 3차원으로 하는 방법이 있다.

이 중 캐패시터의 전극구조를 3차원으로 하는 방법은 기판의 활성영역(active region)과 도전물질로 연결되는 콘택플러그 상에 캐패시터를 바로 형성한다. 3차원 캐패시터의 구조로는 크게 스택 구조, 컨케이브 구조로 구분된다.

그런데 스택형 구조가 컨케이브 구조보다 캐패시터의 전기적 특성 확보 측면에서 유리하다. 그 이유는 스택 구조가 컨케이브 구조보다 우수한 단차피복성(step coverage) 특성 및 스택의 상부와 하부 사이의 조성 차이를 최소화 할 수 있는 장점이 있기 때문이다.

한편 FeRAM은 동작특성상 DRAM과는 다르게 셀플레이트에서 되는 전극을 1개 또는 몇 개의 캐패시터 단위로 패터닝하여야 한다. 즉, FeRAM은 셀플레이트에서도 구동신호가 필요하기 때문에 셀플레이트인 상부전극을 캐패시터 단위로 분리(isolation)시켜야 하는 특징이 있다.

스택 구조 캐패시터의 경우에는 상부전극을 패터닝 하여 캐패시터 단위로 분리하는데 스택 구조의 깊은 골짜기를 따라서 식각하여야 한다. 이는 식각공정 자체를 매우 어렵게 할 뿐만 아니라 패터닝을 위해서는 하부전극 스택의 크기와 간격이 넓어져야 하므로 고집적화를 어렵게 하는 문제점이 있다. 이러한 문제점은 스택 구조의 높이를 높게하여 캐패시터의 면적을 늘리려고 할수록 심각해진다.

발명이 이루고자하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로, 스택 구조의 캐패시터에서 상부전극 도전층의 골짜기 부분을 얇게 증착하여 캐패시터 단위로 분리를 용이하게 하는 강유전체 캐패시터의 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명은, 강유전체 캐패시터 제조방법에 있어서, 소정 공정이 완료된 기판상에 스택 구조의 하부전극을 형성하는 단계; 상기 하부전극 상에 유전체막을 형성하는 단계; 상기 유전체막 위로 제1 상부전극 도전층과 제2 상부전극 도전층을 형성하는 단계; 및 상기 제1, 2 상부전극 도전층으로 이루어진 상부전극 도전층을 블랑킷 에치백하여 상부전극 패턴을 형성하는 단계를 포함한다.

또한 강유전체 캐패시터 제조방법에 있어서, 소정 공정이 완료된 기판상에 스택 구조의 하부전극을 형성하는 단계; 상기 하부전극 상에 유전체막을 형성하는 단계; 상기 유전체막 위로 균일한 상부전극 도전층과 불균일한 절연재료를 형성하는 단계; 및 상기 균일한 상부전극 도전층과 불균일한 절연재료를 블랑킷 에치백하여 상부전극 패턴을 형성하는 단계를 포함한다.

본 발명은 3차원 구조의 강유전체 캐패시터 제조방법에 있어서, 캐패시터의 하부전극 스택을 형성하는 방법은 전기화학적 박막성장(Electro-Chemical Deposition, 이하 ECD법이라 한다)으로 스택 구조를 성장시키거나 또는 화학기상 증착법(Chemical Vapor Deposition, 이하 CVD법이라 한다)으로 증착하고, 사진식각공정으로 스택 구조를 패터닝하는 등의 방법으로 하부전극을 형성한다.

본 발명의 제1 실시예에서는, 상부전극 증착방법은 균일한 증착이 가능한 CVD법 또는 ALD(Atomic Layer Deposition)법으로 제1 상부전극 도전층을 증착하고, 다시 불균일한 제2 상부전극 도전층을 스퍼터링(sputtering)법으로 증착함으로써, 캐패시터의 스택 구조의 상부에는 두꺼운 상부전극 도전층이 생기고, 스택 구조의 골짜기에는 얇은 상부전극 도전층이 생기도록 한다. 이 후, 스택 구조의 골짜기에 있는 얇은 상부전극 도전층은 완전히 제거되도록 블랑킷 에치백(blanket etchback)하면, 상부전극 도전층이 스택구조의 상부와 벽면에만 남게되므로, 상부전극을 각 캐패시터 단위로 분리할 수 있다.

본 발명의 제2 실시예에서는, 제1 상부전극 도전층을 불균일하게 증착하고, 제2 상부전극 도전층을 균일하게 증착한다. 이 후, 블랑킷 에치백(blanket etchback)하여 상부전극을 각 캐패시터 단위로 분리하는 것은 제1 실시예와 동일하다.

본 발명의 제3 실시예에서는, 상부전극 도전층을 균일하게 증착하고, 절연물질을 불균일하게 증착한다. 이 후, 블랑킷 에치백(blanket etchback)하여 상부전극을 각 캐패시터 단위로 분리하는 것은 제1 실시예

와 동일하다.

상술한 목적, 특징들 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일실시예를 상세히 설명한다.

도 1 내지 도 4는 본 발명에 따른 제1 실시예를 나타내는 단면도이다.

도 1은 본 발명에 따른 하부전극 스택(120)과 유전체막(125)을 형성 단면도이다.

반도체기판(100)상에 소정영역에 활성영역 및 비활성영역을 한정하는 소자분리막(도면에는 도시되어 있지 않음)을 형성한다. 상기 소자분리막들 사이에 게이트절연막, 게이트전극, 및 소오스/드레인 영역으로 구성되는 MOST랜지스터(도면에는 도시되어 있지 않음)를 형성하고, 상기 드레인 영역과 연결되는 비트라인(도시되어 있지 않음)을 형성한다. 다음으로 반도체기판 전면에 층간절연막(105)을 형성한 후, 상기 층간절연막(105)을 관통하여 반도체기판의 활성영역과 연결되는 콘택홀을 형성한다. 상기 콘택홀이 형성된 반도체기판 전면에 상기 콘택홀을 채우는 폴리실리콘을 증착한다.

상기 폴리실리콘(110)을 에치백(etch back)하여 층간절연막의 표면을 노출시킨다. 이 때 에치백은 폴리실리콘막을 과도식각하도록 실시하여 폴리실리콘이 플러그 내부에만 잔류한다. 따라서 폴리실리콘은 콘택홀을 완전히 충전시키지 못하고 상부에 여유공간을 갖도록 리세스(recess) 된다. 바람직하게는 리세스된 폴리실리콘(110) 형성하고, 베리어메탈 증착 전에 $TiSi_2$, $CoSi_2$, $NiSi_2$ 중에서 하나인 실리사이드를 형성한다. 상기 실리사이드는 폴리실리콘과 오믹콘택(Ohmic Contact)을 형성하여 접촉저항을 감소시키기 위함이다.

그 다음 베리어메탈(115)을 기판전면에 증착한 후 화학 기계적 연마(Chemical Mechanical Polishing, 이하 CMP)로 평탄화 한다. 이 베리어메탈은 유전체 결정화를 위해서 산소 분위기에서 고온의 열처리시, 산소가 스토리지 전극을 통해서 확산해 들어가서, 폴리실리콘 플러그와 스토리지 전극의 계면에서 폴리실리콘의 산화를 방지하는 기능을 한다. 베리어메탈은 TiN , TaN , $TiSiN$, $TaSiN$, $TaAlN$ 및 이들 조합한 물질 중에서 선택된 하나로 형성하며, PVD(Physical Vapor Deposition) 또는 CVD법에 의해 증착시킨다.

다음으로 도전성 플러그 상부에 하부전극 스택(120)을 형성한다. 하부전극 스택(120)을 형성하는 방법은 종래의 ECD법으로 스택 구조를 성장시키거나 또는 CVD법으로 증착하고, 사진식각 공정으로 스택 구조를 패턴하는 등의 방법으로 하부전극을 형성한다. 하부전극은 Pt, Ir, Ru, IrO_x , RuO_x 중에서 선택된 물질을 사용한다.

다음으로 유전체막(125)을 CVD법 또는 ALD법으로 형성하며, SBT, SBTN, PZT, ST, BLT 중에서 선택된 유전 물질을 사용한다.

도 2는 본 발명에 따른 균일한 제1 상부전극 도전층(130)을 얇게 형성한 단면도이다.

상기 하부전극 스택(120)과 유전체막(125)을 형성한 후에는, 균일한 제1 상부전극 도전층을 형성한다. 상기 제1 상부전극 도전층은 Pt, Ir, Ru, IrO_x , RuO_x 중에서 선택된 어느 하나 또는 이들의 적층으로 형성한다. 증착방법은 단차피복성이 우수한 CVD법, ALD(Atomic Layer Deposition)법, PEALD(Plasma Enhanced Atomic Layer Deposition)법 중에서 선택된 방법으로 하며, 두께는 50Å 내지 5000Å의 범위로 한다.

도 3은 본 발명에 따른 스퍼터링법으로 불균일한 제2 상부전극 도전층(135)을 형성한 단면도이다.

스퍼터링법은 물리기상증착법(Physical Vapor Deposition)의 일종으로 기체를 이온화하여, 이 기체이온이 포텐셜(potential)에 의해 가속되어 타겟(target)을 때리게 되고, 이 때 이온의 충돌에 의해 타겟의 원자가 튀어나와 기판까지 기상 이동하여 기판 표면에서 응축 성장하게 된다. 스택 구조에서는 상부전극을 스퍼터링법에 의해 증착할 경우, 스택 구조의 상부에는 두껍게 증착되지만, 스택 하부의 골짜기 부분은 얇게 증착되게 된다.

상기 불균일한 제2 상부전극 도전층은 Pt, Ir, Ru, IrO_x , RuO_x 중에서 선택된 어느 하나 또는 이들의 적층으로 형성한다. 증착방법은 스퍼터링법으로 하며, 두께는 50Å 내지 5000Å의 범위로 한다.

도 4는 본 발명에 따른 상부전극 도전층(140)을 분리하여 상부전극 패턴(140a) 형성한 후의 단면도이다.

상기 제1 상부전극 도전층(130)과 제2 상부전극 도전층(135)으로 이루어진 상부전극 도전층(140)을 블랑킷 에치백(blanket etchback)함으로써, 스택 구조의 캐패시터를 분리한다. 블랑킷 에치백(blanket etchback)에 의하여 스택의 상부의 두꺼운 상부전극 도전층과 벽면의 상부전극 도전층은 남아 있지만, 스택 하부의 얇은 상부전극 도전층은 제거되어 캐패시터 단위로 분리되게 되는 것이다.

바람직하게는 상기 블랑킷 에치백(blanket etchback)을 행한 후에는 셀(cell) 지역을 포토레지스터 또는 산화막으로 보호한 후 추가 식각으로 셀 지역 이외의 상부전극 도전층을 완전히 제거할 수도 있다.

이 후, 절연막 증착 및 평탄화, 배선 공정을 통해 셀 지역(block) 위에 금속 배선으로 플레이트 선(plate line)을 형성할 수 있으며, 이 후의 수소 방지막, 금속간 절연막(Inter Metal Dielectric, IMD), 배선, 패시베이션(passivation) 등과 같은 후속 공정은 일반적인 FeRAM의 제조 방법과 동일하다.

제2 실시예에서는 제1 실시예가 균일한 제1 상부전극 도전층을 형성하고, 스퍼터링법에 의한 불균일한 제2 상부전극 도전층을 형성하는 순서를 바꾸어, 불균일한 제1 상부전극 도전층을 증착하고, 균일한 제2 상부전극 도전층을 형성하는 것이다. 그 이외에는 제1 실시예와 동일하다.

즉, 불균일한 제1 상부전극 도전층은 Pt, Ir, Ru, IrO_x, RuO_x 중에서 선택된 어느 하나 또는 이들의 적층으로 형성한다. 증착방법은 스퍼터링법으로 하며, 제1 상부전극 도전층의 두께는 50Å 내지 5000Å의 범위로 한다.

다음으로 균일한 제2 상부전극 도전층은 Pt, Ir, Ru, IrO_x, RuO_x 중에서 선택된 어느 하나 또는 이들의 적층으로 형성한다. 증착방법은 단차피복성이 우수한 CVD법, ALD법, PEALD법 중에서 선택된 방법으로 하며, 제2 상부전극 도전층의 두께는 50Å 내지 5000Å의 범위로 한다.

제3 실시예에서는 먼저 균일한 상부전극 도전층을 형성하고, 이후에는 제1 실시예에서 불균일한 상부전극 도전층을 증착하는 것과는 달리, 불균일한 절연재료를 스퍼터링법으로 증착한다. 그 외에는 제1 실시예와 동일하다.

즉, 상기 균일한 상부전극 도전층은 Pt, Ir, Ru, IrO_x, RuO_x 중에서 선택된 어느 하나 또는 이들의 적층으로 형성한다. 증착방법은 단차피복성이 우수한 CVD법, ALD법, PEALD법 중에서 선택된 방법으로 하며, 상부전극 도전층의 두께는 50Å 내지 5000Å의 범위로 한다.

다음으로 불균일한 절연재료로 실리콘 산화막, 금속 산화막, 포토레지스트막 등을 사용한다. 증착방법은 스퍼터링법으로 하며, 절연재료의 두께는 50Å 내지 20000Å의 범위로 한다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

상기와 같이 이루어진 본 발명은, FeRAM의 캐패시터를 제조하는 과정에서 상부전극 도전층을 증착방법을 달리하여 2단계로 증착하고, 블랑켓 에치백(blanket etchback)하여 캐패시터를 단위로 분리하여, 스택 구조의 깊은 골짜기를 식각하는 공정상의 어려움을 극복하는 유리한 효과가 있다.

또한 마스크 공정을 생략하여 공정이 간편하고, 특히 강유전체 메모리가 고집적화 할 수록 유리한 효과가 있다.

(57) 청구의 범위

청구항 1

강유전체 캐패시터 제조방법에 있어서,

소정 공정이 완료된 기판 상에 스택 구조의 하부전극을 형성하는 단계;

상기 하부전극 상에 유전체막을 형성하는 단계;

상기 유전체막 위로 제1 상부전극 도전층과 제2 상부전극 도전층을 형성하는 단계; 및

상기 제1, 2 상부전극 도전층으로 이루어진 상부전극 도전층을 블랑켓 에치백하여 상부전극 패턴을 형성하는 단계

를 포함하는 강유전체 캐패시터의 제조방법.

청구항 2

상기 제 1 항에 있어서,

상기 하부전극은 Pt, Ir, Ru, IrO_x, RuO_x 중에서 선택된 물질을 사용하는 것을 특징으로 하는 강유전체 캐패시터의 제조방법.

청구항 3

상기 제 1 항 또는 제 2 항에 있어서,

상기 하부전극의 형성방법은 ECD법으로 스택 구조를 성장시키거나 또는 CVD법으로 증착하고, 사진식각 공정으로 스택 구조를 패턴하는 방법으로 형성하는 것을 특징으로 하는 강유전체 캐패시터의 제조방법.

청구항 4

상기 제 1 항에 있어서,

상기 유전체막은 SBT, SBTN, PZT, ST, BLT 중에서 선택된 유전물질을 사용하는 것을 특징으로 하는 강유전체 캐패시터의 제조방법.

청구항 5

상기 제 1 항에 있어서,

상기 제1 상부전극 도전층은 균일하게 형성하고, 상기 제2 상부전극 도전층은 불균일하게 형성하는 것을 특징으로 하는 강유전체 캐패시터의 제조방법.

청구항 6

제 1 항 또는 제 5 항에 있어서,

상기 균일한 제1 상부전극 도전층은 Pt, Ir, Ru, IrO_x, RuO_x 중에서 선택된 어느 하나 또는 이들의 적층으로 형성하는 것을 특징으로 하는 강유전체 캐패시터의 제조방법.

청구항 7

상기 제 6 항에 있어서,

상기 균일한 제1 상부전극의 증착방법은 CVD법, ALD법, PEALD법 중에서 선택된 방법으로 하며, 두께는 50 Å 내지 5000 Å의 범위로 하는 것을 특징으로 하는 강유전체 캐패시터의 제조방법.

청구항 8

제 1 항 또는 제 5 항에 있어서,

상기 불균일한 제2 상부전극 도전층은 Pt, Ir, Ru, IrO_x, RuO_x 중에서 선택된 어느 하나 또는 이들의 적층으로 형성하는 것을 특징으로 하는 강유전체 캐패시터의 제조방법.

청구항 9

제 8 항에 있어서,

상기 불균일한 제2 상부전극 도전층의 증착방법은 스퍼터링법으로 하며, 두께는 50 Å 내지 5000 Å의 범위로 하는 것을 특징으로 하는 강유전체 캐패시터의 제조방법.

청구항 10

상기 제 1 항에 있어서,

상기 제1 상부전극 도전층은 불균일하게 형성하고, 상기 제2 상부전극 도전층은 균일하게 형성하는 것을 특징으로 하는 강유전체 캐패시터의 제조방법.

청구항 11

제 1 항 또는 제 10 항에 있어서,

상기 불균일한 제1 상부전극 도전층은 Pt, Ir, Ru, IrO_x, RuO_x 중에서 선택된 어느 하나 또는 이들의 적층으로 형성하는 것을 특징으로 하는 강유전체 캐패시터의 제조방법.

청구항 12

제 11 항에 있어서,

상기 불균일한 제1 상부전극 도전층의 증착방법은 스퍼터링법으로 하며, 두께는 50 Å 내지 5000 Å의 범위로 하는 것을 특징으로 하는 강유전체 캐패시터의 제조방법.

청구항 13

제 1 항 또는 제 10 항에 있어서,

상기 균일한 제2 상부전극 도전층은 Pt, Ir, Ru, IrO_x, RuO_x 중에서 선택된 어느 하나 또는 이들의 적층으로 형성하는 것을 특징으로 하는 강유전체 캐패시터의 제조방법.

청구항 14

상기 제 13 항에 있어서,

상기 균일한 제2 상부전극의 증착방법은 단차피복성이 우수한 CVD법, ALD법, PEALD법 중에서 선택된 방법으로 하며, 두께는 50 Å 내지 5000 Å의 범위로 하는 것을 특징으로 하는 강유전체 캐패시터의 제조방법.

청구항 15

상기 제 1 항에 있어서,

상기 블랑킷 에치백(blanket etchback)을 행한 후에는 셀(cell) 지역을 포토레지스터 또는 산화막으로 보호한 후 추가 식각으로 셀 지역 이외의 상부전극 도전층을 완전히 제거하는 것을 특징으로 하는 강유전체 캐패시터의 제조방법.

청구항 16

강유전체 캐패시터 제조방법에 있어서,

소정 공정이 완료된 기판상에 스택 구조의 하부전극을 형성하는 단계;

상기 하부전극 상에 유전체막을 형성하는 단계;

상기 유전체막 위로 균일한 상부전극 도전층과 불균일한 절연재료를 형성하는 단계; 및

상기 균일한 상부전극 도전층과 불균일한 절연재료를 블랑킷 에치백하여 상부전극 패턴을 형성하는 단계를 포함하는 강유전체 캐패시터의 제조방법.

청구항 17

상기 제 16 항에 있어서,

상기 균일한 상부전극 도전층은 Pt, Ir, Ru, IrO_x, RuO_x 중에서 선택된 어느 하나 또는 이들의 적층으로 형성하는 것을 특징으로 하는 강유전체 캐패시터의 제조방법.

청구항 18

상기 제 16 항 또는 제 17 항에 있어서,

상기 균일한 상부전극 도전층의 증착방법은 CVD법, ALD법, PEALD법 중에서 선택된 방법으로 하며, 두께는 50 Å 내지 5000 Å의 범위로 하는 것을 특징으로 하는 강유전체 캐패시터의 제조방법.

청구항 19

상기 제 16 항에 있어서,

상기 불균일한 절연재료로 실리콘 산화막, 금속 산화막, 포토레지스트막 중에서 선택한 재료를 사용하는 것을 특징으로 하는 강유전체 캐패시터의 제조방법.

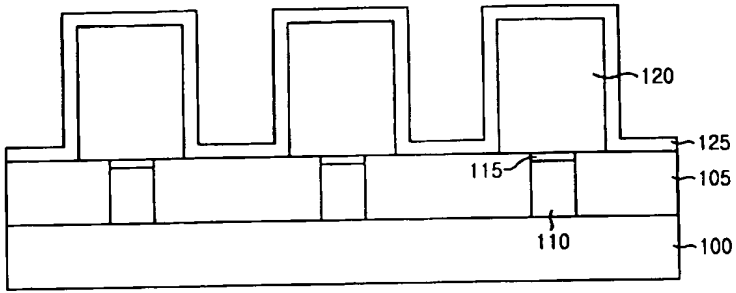
청구항 20

상기 제 16 항 또는 제 19 항에 있어서,

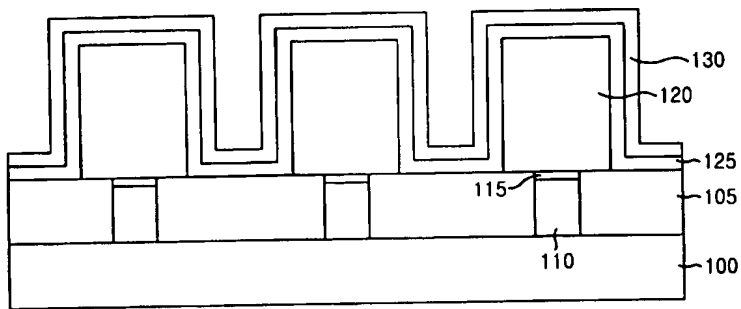
상기 불균일한 절연재료로의 증착방법은 스퍼터링법으로 하며, 절연재료의 두께는 50 Å 내지 20000 Å의 범위로 하는 것을 특징으로 하는 강유전체 캐패시터의 제조방법.

도면

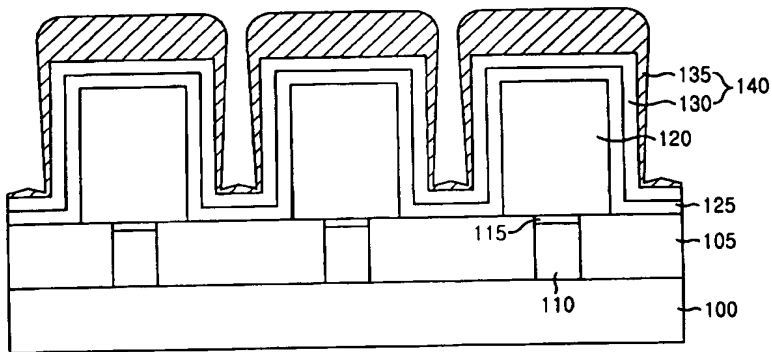
도면1



도면2



도면3



도면4

